

PAT-NO: JP411223839A  
DOCUMENT-IDENTIFIER: JP 11223839 A  
TITLE: PROJECTION TYPE DISPLAY DEVICE  
PUBN-DATE: August 17, 1999

## INVENTOR-INFORMATION:

NAME	COUNTRY
MISAWA, TOSHIYUKI	N/A
OSHIMA, HIROYUKI	N/A

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEIKO EPSON CORP	N/A

APPL-NO: JP10332649

APPL-DATE: November 24, 1998

INT-CL (IPC): G02F001/136, G02F001/1345 , H01L029/786

## ABSTRACT:

PROBLEM TO BE SOLVED: To suppress the leak current and to obtain a clean picture having no cross talk by making the gate length of a first conductive type transistor to be longer than the gate length of a first transistor of a sampling means.

SOLUTION: An active matrix panel 11 is provided with the pixel matrix having plural gate lines 24 and 25 and plural source lines 26 to 28, a first conductive type first transistor 29 connected to the lines 24 and 25 and the lines 26 to 28, and a source line driver circuit 12 which supplies signals to

the lines 26 to 28 on a substrate. The circuit 12 is controlled by a shift register 13 and its output and plural sampling means which sample data signals and supply the sampled signals to the lines 26 to 28. Then, the gate length of a first transistor 29 is made longer than the gate length of a second transistor and the gate length of the second transistor is set longer than the gate length of a fourth transistor.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-223839

(43)公開日 平成11年(1999)8月17日

(51)Int.Cl.<sup>8</sup>  
G 0 2 F 1/136  
1/1345  
H 0 1 L 29/786

識別記号  
5 0 0

F I  
G 0 2 F 1/136  
1/1345  
H 0 1 L 29/78

5 0 0  
6 1 2 B

審査請求 有 請求項の数2 OL (全18頁)

(21)出願番号 特願平10-332649  
(62)分割の表示 特願平9-54891の分割  
(22)出願日 昭和63年(1988)5月17日

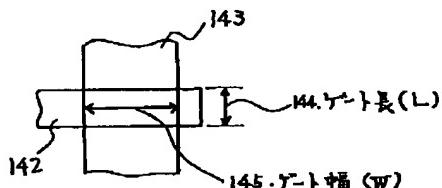
(71)出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(72)発明者 三澤 利之  
長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内  
(72)発明者 大島 弘之  
長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内  
(74)代理人 弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 投写型表示装置

(57)【要約】

【課題】ドライバ回路部と画素部とが同一基板に形成したアクティブマトリクスパネルを用いた投写型表示装置において、ドライバ回路の信頼性を向上させる。

【解決手段】投写型表示装置において、サンプルホールド回路を構成するトランジスタのゲート長よりもシフトレジスタを構成するトランジスタのゲート長を長くし、シフトレジスタを構成するトランジスタのゲート長よりも画素マトリクス用トランジスタのゲート長を長くする。



1

## 【特許請求の範囲】

【請求項1】複数のゲート線、複数のソース線及び薄膜トランジスタを備えた画素マトリクスが形成された第一の透明基板と該第一の透明基板に対向配置された第二の透明基板と該第一及び第二の透明基板間に介設された液晶より成るアクティブマトリクスパネルにおいて、該第一の透明基板上に、シリコン薄膜による相補型薄膜トランジスタより成るゲート線ドライバー回路及びシリコン薄膜による相補型薄膜トランジスタより成るソース線ドライバー回路の少なくとも一方を具備し、前記画素マトリクスを構成する薄膜トランジスタは、前記ゲート線ドライバー回路乃至ソース線ドライバー回路を構成するP型薄膜トランジスタ及びN型薄膜トランジスタのうちの一方と同一の断面構造を有することを特徴とするアクティブマトリクスパネル。

【請求項2】前記ゲート線ドライバー回路及び前記ソース線ドライバー回路は相補型薄膜トランジスタによるスタティックシフトレジスタを含むことを特徴とする請求項1記載のアクティブマトリクスパネル。

【請求項3】前記ゲート線ドライバー回路及びソース線ドライバー回路はP型及びN型の薄膜トランジスタより成り、前記P型薄膜トランジスタはソース領域及びドレン領域にアセチラ不純物を含み、前記N型薄膜トランジスタはソース領域及びドレン領域にアクセタ不純物と該アクセタ不純物よりも高濃度のドナー不純物を含むことを特徴とする請求項1または請求項2記載のアクティブマトリクスパネル。

【請求項4】前記ゲート線ドライバー回路及びソース線ドライバー回路はP型及びN型の薄膜トランジスタより成り、前記N型薄膜トランジスタはソース領域及びドレン領域にドナー不純物を含み、前記P型薄膜トランジスタはソース領域及びドレン領域にドナー不純物と該ドナー不純物よりも高濃度のアクセタ不純物を含むことを特徴とする請求項1または請求項2記載のアクティブマトリクスパネル。

【請求項5】前記ゲート線ドライバー回路及びソース線ドライバー回路を構成するP型及びN型の薄膜トランジスタのゲート長は前記画素マトリクスを構成する薄膜トランジスタのゲート長よりも短かく成されたことを特徴とする請求項1または請求項2記載のアクティブマトリクスパネル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタを用いて形成されたアクティブマトリクスパネルに関する。

## 【0002】

【従来の技術】従来のアクティブマトリクス液晶パネルは、文献「エスアイディー83ダイジェスト156頁—157頁、B/WアンドカラーLCDビデオディスプレイ

2

ズアドレストバイポリシリコンティーエフティーズ」(モロズミ他)に示される様に薄膜トランジスタを用いた画素マトリクスが透明基板上に形成されたものであり、ゲート線ドライバー回路及びソース線ドライバー回路は単結晶シリコンによるMOS集積回路で形成され図19に示す様に前記アクティブマトリクスパネルに外付けされていた。図19において、1はアクティブマトリクスパネルであり、該アクティブマトリクスパネル1は画素マトリクス2を備えている。3はフレキシブル基板4であり、単結晶シリコンによるドライバー集積回路4が搭載されている。アクティブマトリクスパネル1とフレキシブル基板3とはパッド5において接続されている。実装基板6は、ドライバー集積回路4と外部回路とを電気的に接続するのみならずフレキシブル基板3及びアクティブマトリクスパネル1を機械的に保持している。

## 【0003】

【発明が解決しようとする課題】従来のアクティブマトリクスパネルに依ると次の様な課題があった。

## 【0004】(1) 高精細化が妨げられていた

従来は、図19に示す様にフレキシブル基板3と、アクティブマトリクスパネル1のソース線またはゲート線とがパッド5において接続されており、実装技術上接続可能なパッド間隔によって画素ピッチが制限されていた。このため、従来、100μm以下の画素ピッチを有するアクティブマトリクスパネルを量産することは大変困難であり高精細化が妨げられていた。

【0005】(2) 表示装置の小型化が妨げられていた  
図19に示される様な従来のアクティブマトリクスパネルは、ドライバー集積回路が外付けされていたため実装基板6の外形寸法が面積にして画素マトリクス部2の4～5倍程度またはそれ以上必要であった。このため、従来のアクティブマトリクスパネルを使用した表示装置の大きさは表示に寄与する画素マトリクス部の面積の割に大形にならざるを得ず、このことは、例えばビデオカメラのビューファインダーの様な超小型モニターへの応用を制限する要因を成していた。

## 【0006】(3) 製造コストが高かった

表示装置を製造する際、アクティブマトリクスパネル1とフレキシブル基板3とを接続する工程、ドライバー集積回路4とフレキシブル基板3とを接続する工程及び、フレキシブル基板3と実装基板6とを実装する工程を必要とし製造コストが高くならざるを得なかった。

## 【0007】(4) 信頼性が低かった

アクティブマトリクスパネル1とフレキシブル基板3との接続、ドライバー集積回路4とフレキシブル基板3との接続等接続箇所が多く、しかもそれらに応力が加わりやすいため、前記接続箇所における接続強度が十分でなく、表示装置全体の信頼性が低かった。または、十分な信頼性を確保するために多大な費用を要した。

【0008】本発明は、以上のごとき課題を解決し、高

精細かつコンパクトで信頼性に優れたアクティブマトリクスパネルを安価に提供することを目的とする。また、本発明のアクティブマトリクスパネルはビデオカメラの電子ビューファインダーや携帯形VTRのモニター等に応用されることを意図している。更に、投写型表示装置のライトバルブとしての使用も意図している。

## 【0009】

【課題を解決するための手段】上述の課題を解決するため、本発明は次に示す手段を施す。

【0010】複数のゲート線、複数のソース線及び薄膜トランジスタを備えた画素マトリクスが形成された第一の透明基板と該第一の透明基板に対向配置された第二の透明基板と該第一及び第二の透明基板間に介設された液晶より成るアクティブマトリクスパネルにおいて、該第一の透明基板上に、シリコン薄膜による相補型薄膜トランジスタより成るゲート線ドライバ回路及びシリコン薄膜による相補型薄膜トランジスタより成るソース線ドライバ回路の少なくとも一方を具備し、前記画素マトリクスを構成する薄膜トランジスタは、前記ゲート線ドライバ回路乃至ソース線ドライバ回路を構成するP型薄膜トランジスタ及びN型薄膜トランジスタの一方と同一の断面構造を有することを特徴とするアクティブマトリクスパネルを提供する。

【0011】前記ゲート線ドライバ回路及び前記ソース線ドライバ回路は相補型MOS構造のスタティックシフトレジスタを含むことを特徴とするアクティブマトリクスパネルを提供する。

【0012】前記ゲート線ドライバ回路及びソース線ドライバ回路はP型及びN型の薄膜トランジスタより成り、前記P型薄膜トランジスタはソース領域及びドレン領域にアクセプタ不純物を含み、前記N型薄膜トランジスタはソース領域及びドレン領域にアクセプタ不純物と該アクセプタ不純物よりも高濃度のドナー不純物を含むことを特徴とするアクティブマトリクスパネルを提供する。

【0013】前記ゲート線ドライバ回路及びソース線ドライバ回路はP型及びN型の薄膜トランジスタより成り、前記P型薄膜トランジスタはソース領域及びドレン領域にアクセプタ不純物を含み、前記N型トランジスタはソース領域及びドレン領域にアクセプタ不純物と該アクセプタ不純物よりも高濃度のドナー不純物を含むことを特徴とするアクティブマトリクスパネルを提供する。

【0014】前記ゲート線ドライバ回路及びソース線ドライバ回路はP型及びN型の薄膜トランジスタより成り、前記N型薄膜トランジスタはソース領域及びドレン領域にドナー不純物を含み、前記P型薄膜トランジスタはソース領域及びドレン領域にドナー不純物と該ドナー不純物よりも高濃度のアクセプタ不純物を含むことを特徴とするアクティブマトリクスパネルを提供す

る。

【0015】前記ゲート線ドライバ回路及びソース線ドライバ回路を構成するP型及びN型の薄膜トランジスタのゲート長は前記画素マトリクスを構成する薄膜トランジスタのゲート長よりも短かく形成されたことを特徴とするアクティブマトリクスパネルを提供する。

## 【0016】

【発明の実施の形態】以下、図面に基づいて本発明の実施例を詳細に説明する。

【0017】図1に本発明の実施例を示す。同図はシリコン薄膜による相補型金属酸化膜半導体構造(Complementary Metal oxide Semiconductor; 以下、CMOS構造と略記する。)のソース線ドライバ回路12及びゲート線ドライバ回路21と画素マトリクス22とが同一の透明基板上に形成されたアクティブマトリクスパネル11の構造を示したブロック図である。ソース線ドライバ回路12はシフトレジスタ13、薄膜トランジスタ(Thin Film Transistor; 以下、TFTと略記する。)より成るサンプルホールド回路17、18、19、及びビデオ信号バス14、15、16を含み、ゲート線ドライバ回路21はシフトレジスタ20及び必要に応じてバッファー23を含む。また、画素マトリクス22は、前記ソース線ドライバ回路12に接続される複数のソース線26、27、28、ゲート線ドライバ回路21に接続される複数のゲート線24、25及びソース線とゲート線の交点に形成された複数の画素32、33を含む。該画素はTFT29及び液晶セル30を含み、該液晶セル30は画素電極と対向電極31と液晶より成る。尚、前記シフトレジスタ13及び20はソース線及びゲート線を順次選択する機能を有する他の回路、例えばカウンター及びデコーダで代用しても差し支えない。ソース線ドライバ回路の入力端子34、35、36には、それぞれ、クロック信号CLX、スタート信号DX、ビデオ信号V<sub>1</sub>、V<sub>2</sub>、V<sub>3</sub>が入力され、ゲート線ドライバ回路の入力端子37、38には、それぞれクロック信号CLY、スタート信号DYが入力される。

【0018】図1のシフトレジスタ13及びシフトレジスタ20はP型TFT及びN型TFTより成る相補型TFTによるスタティック型またはダイナミック型回路、もしくは片極性TFTによるダイナミック型またはスタティック型回路にて構成され得る。これらのうち、TFTのデバイス性能を考慮すると、相補型TFTによるスタティック回路が最適である。この理由は以下の様に説明される。一般に、アクティブマトリクスパネルに使用されるTFTは絶縁基板上に多結晶または非晶質のシリコン薄膜で形成されるため、単結晶シリコンによる金属酸化膜半導体電界効果トランジスタ(以下、MOSFETと略記する。)に比較して、そのオン電流は小さくそのオフ電流は大きい。この理由は、シリコン薄膜中に存在するトラップ密度が单結晶シリコン中のそれに比べては

るかに高いためキャリア移動度が小さくなること及び逆バイアスされたP N接合においてキャリアの再結合が頻繁に起こることによる。この様なTFTのデバイス上の特徴に鑑み、以下の理由によって本発明は相補型TFTによるスタティックシフトレジスタを採用する。

【0019】(1) TFTはオフ電流が大きいため、TFTによって構成されたダイナミック回路は動作電圧範囲、動作周波数範囲並びに動作温度範囲が狭い。

【0020】(2) アクティブマトリクス型液晶パネルの低消費電力を生かすためドライバーハイウェイは低消費電力のCMOS構造で形成される必要がある。

【0021】(3) 片極性MOSダイナミックシフトレジスタに比べて、要求されるオン電流値が小さく済む。

【0022】図2(a)に、図1のシフトレジスタ13及び20の回路構造例を示す。図2(a)において、インバータ41及び42は図2(b)に示す様にP型TFT47とN型TFT48とから成る。また、クロックドインバータ43及び46は、図2(c)に示す様にP型TFT49、50とN型TFT51、52とから成り、N型TFT52のゲートにクロック信号CLが、P型TFT49のゲートに反転クロック信号CL<sup>-</sup>が入力される。同様に、クロックドインバータ44及び45は、P型TFT53、54とN型TFT55、56とから成り、N型TFT56のゲートに反転クロック信号CL<sup>-</sup>が、P型TFT53のゲートにクロック信号CLが入力される。図2(a)において、クロックドインバータ43、46の代わりに図2(e)に示すインバータ57とN型TFT58及びP型TFT59より成るアナログスイッチとで構成された回路を使用し、クロックドインバータ44、45の代わりに図2(f)に示すインバータ60とN型TFT61及びP型TFT62より成るアナログスイッチとで構成された回路を使用しても差し支えない。

【0023】上述したごとく、アクティブマトリクスピネルにおいてドライバーハイウェイをCMOS構造のTFTで構成することは大変有益である。しかし、従来技術を単にTFTに適用することによって得られる相補型TFT集積回路は以下の様な欠点を有している。

【0024】(1) P型TFTとN型TFTの双方を同一基板上に集積化する製造方法が複雑となり製造コストが高くなる。

【0025】(2) 相補型TFT集積回路を構成するための重要な要素である特性の揃ったP型TFTとN型TFTを形成することが困難である。

【0026】(3) P型TFT及びN型TFTがドライバーハイウェイを実現するに足る駆動能力を備えていない。

【0027】本発明は、製造方法、デバイス構造、デバイス寸法、材料等に工夫を加えることによって上記の問題点を克服している。以下、順を追ってそれらを説明す

る。

【0028】図3(a)に図1のソース線ドライバーハイウェイ12及びゲート線ドライバーハイウェイ21を構成する相補型TFTの断面構造の一例を、図3(b)に図1の画素マトリクス22を構成するTFT及び画素の断面構造の一例を示す。図3(a)において、71はガラス、石英基板等の絶縁基板であり、その上にP型TFT99及びN型TFT100が形成されている。73、76はチャネル領域となるシリコン薄膜、72、74、75、77はソース領域またはドレイン領域となるシリコン薄膜であり、72、74はP型に不純物ドープされており、75、77はN型に不純物ドープされている。78、79はSiO<sub>2</sub>、シリコンナイトライド等によるゲート絶縁膜、80、81は多結晶シリコン、金属、金属シリサイド等によるゲート電極、82はSiO<sub>2</sub>等による層間絶縁膜、83は金属等による配線層、84はSiO<sub>2</sub>等による絶縁膜、85はバシベーション膜である。一方、画素マトリクスの断面構造を示した図3(b)において、86は同図(a)の71と同一の絶縁基板であり、その上に画素TFT101とITO(イソジウム・ティン・オキサイド)等の透明導電膜から成る画素電極94とが形成されている。87、88、89は図3(a)の72、73、74、75、76、77と同一のシリコン薄膜層で形成されており、88はチャネル領域、87及び89はソース領域またはドレイン領域を成す。領域87及び89はP型またはN型に不純物ドープされており、それらの領域に含まれる不純物の構成は領域72及び74または領域75及び77に含まれる不純物の構成と同一である。90は78、79と同一の層より成るゲート絶縁膜、91は80、81と同一の層より成るゲート電極、92は82と同一の層より成る層間絶縁膜、93は83と同一の層より成る配線層、95は84と同一の層より成る絶縁膜、96は液晶、97は透明導電膜層を含む対向電極、98は透明基板である。ここで、ドライバーハイウェイを構成するTFT99、100と画素TFT101とは、ソース・ドレイン領域、チャネル領域、ゲート絶縁膜、ゲート電極、層間絶縁膜はそれぞれ同一の薄膜層で形成されている。また、ソース線ドライバーハイウェイ並びにゲート線ドライバーハイウェイにおけるTFT間の接続は例えばアルミニウム等の金属によるシート抵抗の低い配線層83を介して成され、画素マトリクス内のソース線は83と同一の層より成る配線層93にて形成され、画素電極94のみがITO等の透明導電膜層で形成される。前記配線層(93)をアルミニウムまたはアルミニシリサイドで、前記透明導電膜層(94)をITOで形成する場合、それら二つの層の間に層間絶縁膜を設けない構造とすれば同一の工程にて開口されたスルーホール(102、103)をそれぞれ異なる二つの層(93、94)とシリコン薄膜層(87、89)との接続用に使用することが可能となり製造工程が簡略化される。ここ

で、アルミニウムとITOは異なるエッチング液にて加工され、しかもITOはアルミニウムのエッチング液にて浸されないという性質を利用してITOをアルミニウムよりも前の工程にて成膜しパターン形成する。図3

(b)において、絶縁膜95は液晶96に直流電圧が印加されるのを防ぐためのキャバシタでありその容量値は画素容量の値に比して十分に大きなくてはならず、従ってその膜厚は一定値（例えば、3000オングストローム程度）以下でなくてはならない。一方、耐湿性を確保するため、図3(a)に示す様にドライバー回路部を一定値（例えば1μm程度）以上の膜厚を有するパシベーション膜85にて被う必要がある。パシベーション膜85は、アクティブマトリクス基板全面に成膜した後ドライバー部を残して除去するという方法で形成するのが最も有効であり、このため、前記パシベーション膜85は、絶縁膜84、95を浸さないエッチング液にて加工される材料、例えばポリイミド等、で構成される。

【0029】上記本発明の製造方法並びにそれにより得られる相補型TFTの構造上の特徴について以下に説明する。従来の単結晶シリコンによるCMOS集積回路の製造方法に依ると片極性例えはN型MOSFETによる集積回路の製造工程に比して最低4回のホト工程（低濃度Pウェル形成工程、P型ストッパー層形成工程、P型MOSFETのソース・ドレイン形成工程、N型MOSFETのソース・ドレイン形成工程）が余分に必要となる。これに対し、本発明によると片極性TFT集積回路の製造工程に比して最低1回のホト工程を追加することによって相補型TFT集積回路が実現される。

【0030】図4(a)～(d)に、本発明のアクティブマトリクスピネルの製造工程の主要部の一例を示す。まず図4(a)の様に、透明な絶縁基板110上にシリコン薄膜を堆積させた後、所望のパターンを形成して、P型TFTのチャネル領域111及びN型TFTのチャネル領域112、113を形成する。その後、熱酸化法や気相成長法を用いてゲート絶縁膜114、115、116を形成し、更にゲート電極117、118、119を形成する。次に、図4(b)の様に、イオン打ち込み法を用いてボロンなどのアクセプタ不純物120を全面に打ち込む。打ち込まれたアクセプタ不純物は後の熱処理で活性化してアクセプタとなりP型半導体を形成する。これにより、P型TFTのソース・ドレイン領域121、122が形成される。この際、N型TFTのソース・ドレイン領域となるべき領域123、124、125、126にもアクセプタが添加される。次に、図4(c)の様に、P型TFTを、例えばホトレジスト128等のマスク材で被覆して、リンまたはヒ素等のドナー不純物127を前記アクセプタ不純物120より高濃度に打ち込む。打ち込まれたドナー不純物は後の熱処理で活性化してドナーとなる。仮に、前記イオン打ち込みされたアクセプタ不純物のドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$

-2、ドナー不純物のドーズ量が $3 \times 10^{15} \text{ cm}^{-2}$ であれば、領域123、124、125、126はドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ に対応するドナーのみが含まれるのとほぼ等価となる。以上でN型TFTのソース・ドレイン領域123、124、125、126が形成される。

【0031】次に、図4(d)の様に、前記マスク材128を除去した後、層間絶縁膜129を堆積させ、スルーホールを開口し、透明導電膜による画素電極131を形成し、金属等による配線130を形成する。以上でドライバー回路部のP型TFT132、N型TFT133、画素マトリクス部の画素TFTを成すN型TFT134が完成する。尚、画素マトリクス部のTFTをP型に形成することももちろん可能である。この様にして得られたTFTにおいて、P型TFTはソース・ドレイン領域にアクセプタ不純物を含み、N型TFTはソース・ドレイン領域にアクセプタ不純物と該アクセプタ不純物よりも高濃度のドナー不純物を含む。

【0032】上記製造工程において、図4(b)のアクセプタ不純物120をドナー不純物120に、同図(c)のドナー不純物127をアクセプタ不純物127に置き換えることによって、同図(d)にN型TFT132及びP型TFT133、134が得られる。この様にして得られたN型TFTはソース・ドレイン領域にドナー不純物を含み、P型TFTはソース・ドレイン領域にドナー不純物と該ドナー不純物よりも高濃度のアクセプタ不純物を含む。

【0033】上述の製造方法によれば、片極性TFT集積回路の製造工程に対し、図4(c)のマスクパターン128の形成に要する1回のホト工程を追加するだけ相補型TFT集積回路が形成される。これによってドライバー回路を内蔵したアクティブマトリクスピネルが実現可能となる。経済的見地からみて、上述の製造方法が最良であることはもちろんあるが、アクセプタ不純物、ドナー不純物をイオン打ち込みするそれぞれの工程でマスクパターンを形成する方法を採用しても差し支えない。また、上述の方法によって製造された相補型TFT集積回路において、それぞれのTFTは絶縁基板上に島状に分離されており特別な素子分離工程を必要としない。更に、単結晶シリコンによる集積回路と異なり寄生MOSFETが生ずることが無く、チャネルストッパーを形成する必要がない。

【0034】次に、相補型集積回路を構成するために必要な特性の揃ったP型TFT及びN型TFTを実現する手段について述べる。従来、II-VI族化合物半導体を用いたTFTが古くから知られている。しかし、次の二つの理由、

(1) 化合物半導体では、P型、N型双方の導電形を制御し実現することが事実上不可能である。

(2) 化合物半導体と絶縁膜との界面の制

9

御が極めて困難であり、MOS構造が実現されていない。

【0036】によって、化合物半導体を用いて相補型TFTを実現することは出来ない。従って、本発明ではシリコン薄膜にてソース・ドレイン領域及びチャネル領域を形成する。シリコン薄膜のうち、非晶質シリコン薄膜及び多結晶シリコン薄膜について、伝導形別にそのキャリア移動度を表1に示す。

10

\*【0037】同表より、TFTを構成する際、P型、N型双方で特性を揃えやすいこと及びTFTの電流供給能力を大きく出来ることから、相補型TFT集積回路を実現するためには多結晶シリコン薄膜が最適であると言える。

【0038】

【表1】

\*

	キャリア移動度 (cm²/V·sec)	
	N形	P形
非晶質シリコン	0.1 ~ 1	10⁻⁴ ~ 10⁻³
多結晶シリコン	5 ~ 50	5 ~ 50

【0039】次に、TFT、特にドライバ回路を構成するP型及びN型TFTの電流供給能力を高めるために本発明が採用する手段について述べる。先に述べたごとく、非単結晶シリコン薄膜によるTFTは、トラップ密度が高いため、単結晶シリコンMOSFETに比してオン電流が小さくオフ電流が大きい特性を有する。図5に、ゲート長、ゲート幅、及びソース・ドレイン電圧V<sub>D S</sub>を同一として測定した単結晶シリコンMOSFETの特性140とシリコン薄膜によるTFTの特性141とを比較して示す。同図で、横軸はソースを基準とした※

20※ゲートの電圧V<sub>G S</sub>、縦軸はソース・ドレイン間電流I<sub>D S</sub>の相対値である。同図からわかる様にTFTはオン・オフ比が低いため、図1における画素マトリクス用TFT29とドライバ回路12及び21を構成するTFTのそれを最適な素子寸法に形成しなくてはならない。例えば、NTSC信号を表示することを意図した場合、画素マトリクス用TFTは、使用温度範囲内において次式を満足しなくてはならない。

【0040】

【数1】

$$0.1 \cdot C_1 \cdot R_{OFF} \geq \frac{1}{60} (\text{sec}) \cdots (1)$$

$$5 \cdot C_1 \cdot R_{ON} \leq 10 (\mu\text{sec}) \cdots (2)$$

【0041】ここで、C<sub>1</sub>は一画素の全画素容量、R<sub>ON1</sub>、R<sub>OFF1</sub>はそれぞれTFTのオン抵抗、オフ抵抗である。式(1)は任意の画素における保持条件であり、これが満足されれば書き込まれた電荷の90%以上が1フィールドに亘って保持される。

【0042】また、式(2)は任意の画素における書き★40 【数2】

$$k \cdot (C_2 \cdot R_{ON2} + C_3 \cdot R_{ON3}) \leq \frac{1}{2f} \cdots (3)$$

【0044】ここで、C<sub>2</sub>、C<sub>3</sub>はそれぞれ図2(a)における節点142、143に付加する容量、R<sub>ON2</sub>、R<sub>ON3</sub>はクロックドインバータ43、インバータ41の出力抵抗、fはシフトレジスタのクロック周波数、kは定数である。(kの値は、経験的にいつて、1.0~2.0程度である。)出願人の実測及びシミュレーションによると、例えばクロック周波数f=2☆50

★込み条件であり、これが満足されれば所望の表示信号の99%以上が画素に書き込まれる。一方、ドライバ回路を構成するTFTは、使用温度範囲内において次式を満足しなくてはならない。

【0043】

【数2】

☆MHz程度のシフトレジスタを実現するためには、ドライバ回路を構成するTFTのR<sub>ON2</sub>及びR<sub>ON3</sub>は画素TFTのR<sub>ON1</sub>の、以下でなくてはならない。この様な低出力抵抗を実現するため、本発明は、耐圧が許す限度内においてドライバ回路を構成するTFTのゲート長を極力短かく形成する。また、図1におけるサンプルホールド回路17、18、19を形成するTFT

11

は、シフトレジスタ13を形成するTFTよりも低耐圧でよいため該シフトレジスタ13を形成するTFTよりもゲート長を更に短かく形成する。図6にゲート長Lの定義を、表2に本発明に採用する各部のTFTのゲート長の一例を示す。図6において、142はゲート電極、\*

12

\*143はチャネル領域を形成するシリコン薄膜であり、144がゲート長を145がゲート幅を示す。

【0045】

【表2】

	ゲート長 L (μm)	
	P形 TFT	N形 TFT
画素マトリクス用 TFT		20.0
シフトレジスタ用 TFT	4.0	5.5
サンプルホールド回路用 TFT		4.5

【0046】P型TFT及びN型TFTの電流供給能力を高めるため、チャネル領域を形成するシリコン薄膜の膜厚が該シリコン薄膜表面に広がり得る空乏層の幅の最大値より小さくなる様にTFTを構成するという手段を供用すれば更に効果的である。シリコン薄膜によるP型※

20※TFTにおける空乏層幅の最大値 $X_{P\max}$ 、N型TFTにおける空乏層幅の最大値 $X_{N\max}$ は、それぞれ次式で与えられる。

【0047】

【数3】

$$X_{P\max} = (2\varepsilon \cdot 2\phi_{fP})^{\frac{1}{2}} \cdot (q \cdot N_D)^{-\frac{1}{2}}$$

.... (4)

$$X_{N\max} = (2\varepsilon \cdot 2\phi_{fN})^{\frac{1}{2}} \cdot (q \cdot N_A)^{-\frac{1}{2}}$$

.... (5)

【0048】ここで、qは単位電荷量、 $\varepsilon$ はシリコン薄膜の誘電率、 $\phi_{fP}$ 、 $\phi_{fN}$ はそれぞれP型、N型TFTのフェルミエネルギー、 $N_D$ 、 $N_A$ はそれぞれチャネル領域における等価的なドナー密度、アクセプタ密度である。尚、等価的なドナー密度及びアクセプタ密度は、当該領域に存在するドナー及びアクセプタ不純物の密度とドナー及びアクセプタとして働くトラップ密度とから決められる。本発明では、P型及びN型TFTにおけるチャネル領域のシリコン薄膜の厚さを前記 $X_{P\max}$ 及び $X_{N\max}$ のいずれの値よりも小さく構成する。図7に、空乏層が形成されたTFTの断面構造を示す。同図において、146は絶縁基板、147はチャネル領域を成すシリコン薄膜、148、149はソース・ドレン領域を成すシリコン薄膜、150はゲート絶縁膜、151はゲート電極であり、 $t_{si}$ 、Xは、それぞれ、シリコン薄膜の膜厚、シリコン薄膜表面に形成された空乏層の幅を示している。

【0049】以上に述べたそれぞれの手段、即ち、(1)ドライバ回路の回路形式を相補型TFTによるスタティック型のものとすること。

★【0050】(2)相補型TFT集積回路の製造方法及び構造に工夫を加えること。

【0051】(3)P型及びN型TFTの特性を揃えること。

【0052】(4)TFTの負荷駆動能力を高めること。

【0053】によって、アクティブマトリクスピネルにドライバ回路を内蔵するための基本となる技術が確立される。

40 【0054】次に、上述の基本技術の上に立って、本発明を更に有効なものとするためのいくつかの手段について説明する。

【0055】まず、一番目に、本発明で使用する、アクティブマトリクスピネル内のパターンレイアウト上の工夫について述べる。図8は、各機能ブロックのレイアウトを説明するための、アクティブマトリクスピネルの平面図である。画像が正像として形成される様にアクティブマトリクスピネル160を見て、天及び(または)地の方向の周辺部にソース線ドライバ回路161(16

★50-2)を形成し、該ソース線ドライバ回路内で周辺から

13

中心に向かって順にシフトレジスタ163、バッファー164、ビデオ信号バス165、サンプルホールド回路166を配置する。また、左及び(または)右方向の周辺部にはゲート線ドライバー回路167(170)を形成し、該ゲート線ドライバー内で周辺から中心に向かって順にシフトレジスタ168、バッファー169を配置する。前記ソース線ドライバー回路161(162)及びゲート線ドライバー回路167(170)に接する様にアクティブマトリクスパネル160の中心部に画素マトリクス171を形成し、コーナ部には入出力端子172、173、174、175を配置する。信号の伝送は矢印176~180の方向に行なわれる。以上の様に各機能ブロックをレイアウトすることによって、限られたスペースを最も有効に活用することが可能となる。

【0056】また、前記ソース線ドライバー回路及び(または)ゲート線ドライバー回路内において、画素ピッチに等しい(または画素ピッチの2倍)の限られたピッチ内にドライバー回路の単位セルを形成するために、図9に示す様なパターンレイアウトを使用する。図9において、181~183は1画素分(または2画素分)の画素ピッチでありその長さはDである。図8の様なレイアウトを採用しつつ、Dを周期としてドライバー回路のセルを繰り返し配置すれば、より一層有効なスペースの活用が可能となる。図9は、ドライバー回路を構成する一部の薄膜層のパターンレイアウト例を示すものである。同図において、184、185はそれぞれ正電源用配線、負電源用配線、186~191はP型TFTのソース・ドレイン及びチャネル部を成すシリコン薄膜、192~195はN型TFTのソース・ドレイン及びチャネル部を成すシリコン薄膜であり、破線で囲まれた領域196、197、198にドライバー回路の単位セルが形成される。各TFTの素子分離は、同極性、異極性にかかわらず、シリコン薄膜を島状にエッチングすることによって成されるため、例えば、N型TFT用シリコン薄膜の島192とP型TFT用シリコン薄膜の島187との距離aと、P型TFT用シリコン薄膜の二つの島187と188との距離bとを略等しくすることが可能となる。本発明は、この性質を積極的に利用し、P型TFT用の島とN型TFTの島とを互いに配置することによって、単位セルが繰り返される方向の集積度を高めている。

【0057】本発明は、更に集積度を高めるために、次の様な手段を併用する。図10(a)、(b)は、正電源用配線199と負電源用配線200との間に相補型TFTによるインバータを形成する例である。同図において、201、202はソース部のコンタクト形成用のスルーホール、203はゲート電極である。まず、図10(a)の様に、208を境界として一つのシリコン薄膜の島にP型領域204とN型領域205とを設ける。次に、図10(b)の様に、スルーホール206によっ

14

てドレイン部のコンタクトを形成し、配線207によってインバータの出力を取り出す。

【0058】本発明を更に有効にする工夫の二番目は、ソース線ドライバー回路におけるクロックノイズの低減に関するものである。図1に示される様に、ソース線ドライバー回路12はビデオ信号バス14~16と、シフトレジスタ13を駆動するための少なくとも一对の双対なクロックCL及びクロックCLの反転信号であるCLBを伝送するための配線を備えている。ここで、あるビデオ信号バスとCL配線との間で形成される浮遊容量と、該ビデオ信号バスとCLB配線との間に形成される浮遊容量との間に差異があれば、該ビデオ信号にクロック信号に同期したスパイク状のノイズが重畠される結果、アクティブマトリクスパネルの画面にライン状の表示ムラが生ずる。

【0059】本発明は、図11(a)に示す様に、CL用配線とCLB用配線をツイスト配置することによって上述のクロックノイズを低減させる。図11(a)はソース線ドライバー回路を示しており、210~213はシフトレジスタの単位セル、214、215はサンプルホールド回路、216は画素マトリクス、217はビデオ信号バスである。218、219はそれぞれCL用配線とCLB用配線であって、配線の略中央においてツイストされている。この様にすることによって、CL用配線及びビデオ信号バス間の平均距離と、CLB配線及びビデオ信号バス間の平均距離とが略等しくなり、その結果、CL配線とビデオ信号バスとの間に付加する浮遊容量( $C_{S1} + C_{S3}$ )と、CLB用配線とビデオ信号バスとの間に付加する浮遊容量( $C_{S2} + C_{S4}$ )とが略等しくなる。また、CLとCLBとは図11(b)に示される様に、一方の立ち上がりタイミングと他方の立ち下がりタイミングが略一致する。以上の結果として、ビデオ信号に重畠されるクロックノイズは大幅に軽減され、画面上にはきれいな表示が得られる。尚、CLとCLBとのツイスト回数は複数でも差し支えない。

【0060】本発明を更に有効にする工夫の三番目は、サンプルホールド回路に対して直列に付加される抵抗の均一化に関するものである。図12に、図1の一部を示す。

【0061】図12において、230はソース線ドライバー回路に含まれるシフトレジスタ、231~233はビデオ信号バス、234~236はサンプルホールド回路、240は画素マトリクスである。3本のビデオ信号バス231~233には、例えば3原色赤(R)、緑(G)、青(B)に相当する画像信号が伝送され、それらの組み合せは1水平走査毎に変えられる。該3本のビデオ信号バスには、低抵抗が要求されるため、配線材料としてアルミ等の金属層が使用される。一方、経済的観点からみて最も有効と考えられる図3(a)、(b)の構造を採用する場合、前記ビデオ信号バスからサンプル

ホールド回路に至るまでの配線237～239の材料にはゲート電極と同一の材料、例えば多結晶シリコン薄膜等が使用される。この場合、多結晶シリコン薄膜のシート抵抗が金属層に比してかなり高いことと、単に直線で接続すれば配線237、238、239の長さが等しくならないこととのために、該配線237～239の抵抗が等しくならず、この配線抵抗の差がライン状の表示ムラを生ぜしめる。そこで、本発明は、前記配線237、238、239の抵抗がすべて等しくなる様に配線パターンを工夫する。具体的には、配線幅Wを一定とし配線長Lを等しくする、または、配線237～239のそれぞれについてを変える等である。

【0062】本発明を更に有効にする工夫の四番目は、TFTによるドライバ回路の動作速度の遅さを補う駆動方法に関するものである。図5に示される様にTFTの性能は単結晶シリコンMOSFETの性能に比して劣るため、TFTによるシフトレジスタの動作速度はアクティブマトリクスパネルを駆動するのに十分とは言えない。この動作速度の遅さを補うため、本発明は図13

(a)に例示する回路構造と同図(b)に例示する駆動方法を用いる。図13(a)において、250はソース線ドライバ回路に含まれる第1のシフトレジスタであり、スタート信号DXとクロックCLx1及びCLx1Bが与えられ、出力信号252、254、…を出力する。また、251はソース線駆動回路に含まれる第2のシフトレジスタであり、スタート信号DXとクロックCLx2及びCLx2Bが与えられ、出力信号253、255、…を出力する。265はビデオ信号Vが与えられるビデオ信号バス、256～259はサンプルホールド回路、261～264はソース線、260は画素マトリクスである。前記ソース線ドライバ回路に入力される信号V、DX、CLx1、CLx1B、CLx2、CLx2B及びシフトレジスタ250、251より出力される信号252～255を図13(b)に示す。図13(a)のソース線ドライバ回路は2系列のシフトレジスタ250、251を具備しており、シフトレジスタ250、251はそれぞれ略90°位相のずれたクロックCLx1(CLx1B)、CLx2(CLx2B)で駆動される。ソース線ドライバ回路がN系列のシフトレジスタを具備する場合、各シフトレジスタは、略180°/Nだけ位相のずれたN系統のクロックとその反転クロックで駆動される。CLx1及びCLx2の周波数をfとすれば、出力信号252～255は1/4fの時間間隔で順次出力され、それぞれのエッジ266～269でビデオ信号Vをサンプリングし、ソース線261～264にホールドする。この結果、周波数fのクロックで駆動されるシフトレジスタを用いて周波数4fのサンプリングを実現することが可能となり、TFTによるシフトレジスタの動作速度の遅さを補う有効な手段となる。前記ソース線ドライバ回路がN系列のシフトレジスタを具備する場合、周波

数fのクロックで駆動されるシフトレジスタを用いて、周波数2Nfのサンプリングを実現することが可能である。

【0063】本発明を更に有効にする工夫の五番目は、ソース線及びゲート線ドライバ回路の各出力にテスト手段を設けることである。図14に具体例を示す。同図において、280はソース線ドライバ回路に含まれるシフトレジスタ、281はビデオ信号バス端子、282はサンプルホールド回路、283はソース線ドライバーテスト回路、284、285はそれぞれテスト回路283の制御端子、テスト信号出力端子、286はソース線である。すべてのソース線に283の様なテスト回路が付加される。また、287はゲート線ドライバ回路に含まれるシフトレジスタ、288はゲート線ドライバーテスト回路、289、290はそれぞれテスト信号入力端子、テスト信号出力端子、291はゲート線、292は画素マトリクスである。すべてのゲート線に288の様なテスト回路が付加される。前記テスト回路は以下の様に動作する。ソース線ドライバ回路のテスト動作中、端子284の制御によりテスト回路283をオンさせておく。この状態で、ビデオ信号バス端子281に所定のテスト信号を入力したうえで、シフトレジスタ280を走査する。このとき、テスト出力端子285に規格内の信号が時系列で出力されれば該ソース線ドライバ回路は「良」と判定され、そうでなければ「不良」と判定される。ゲート線ドライバ回路のテスト時、端子289に所定のテスト信号を入力した状態でシフトレジスタ287を走査する。このとき、テスト出力端子290に規格内の信号が時系列で出力されれば該ゲート線ドライバ回路は「良」と判定され、そうでなければ「不良」と判定される。以上の様にすることによって、従来テストパターンを表示したうえで目視にて行っていたアクティブマトリクスパネルの検査を、電気的にしかも自動で実施することが可能となる。

【0064】本発明を更に有効にする工夫の六番目は、製造プロセスを追加すること無しに、画素内に保持容量を作り込むことである。図15(a)、(b)に本発明の画素構造の具体例を示す。同図(a)は等価回路、同図(b)は断面構造である。

【0065】同図(a)において、300、301はそれぞれソース線、ゲート線、302は画素TFT、303は液晶セル、304は対向電極端子であり、305が本発明の特徴を成す金属酸化膜半導体キャバシタ(以下、MOSキャバシタと略記する。)、306が該MOSキャバシタ305のゲート電極である。また、同図(b)において、310及び324は透明な絶縁基板、311～315はシリコン薄膜層、316、317はゲート絶縁膜、318、319はゲート電極、320は層間絶縁膜、321はソース線を成す配線層、322は画素電極を成す透明導電膜層、323は透明導電膜層を含

17

む対向電極、325は液晶である。326で示した部分に前記画素TFT302が形成され、領域311、313がソース・ドレイン部を、領域312がチャネル部を成す。327で示した部分には前記MOSキャバシタ305が形成され、領域313、315がソース・ドレイン部を、領域314がチャネル部を成す。図15(b)から明らかな様に、MOSキャバシタ305は画素TFT302と全く同一な断面構造を有し、従って、MOSキャバシタ305を形成するために特別な製造プロセスを追加する必要は無い。ただし、MOSキャバシタ305を保持容量として使用するためには、領域314にチャネル即ち反転層が形成された状態を保つ必要がある。

【0066】この状態を保つために、前記MOSキャバシタ305のゲート電極306には該MOSキャバシタがオンする様な所定の電位を与えておく。所定の電位とは、例えば、MOSキャバシタがN型の場合には正電源電位、P型の場合には負電源電位が適切である。ゲート絶縁膜は通常非常に薄く形成されるため、以上の様にゲート絶縁膜を用いて保持キャバシタを構成することによって、従来の様な層間絶縁膜を用いたものに比較して、単位面積当たり5~10倍の保持容量を得ることが可能となり、保持容量を形成するための面積を節約する上で大変有効である。

【0067】このため、アクティブマトリクスピネルの開口率を極めて高くすることが可能となる。

【0068】本発明を更に有効にする工夫の最後は、ドライバー回路を内蔵したアクティブマトリクスピネルの実装に関するものである。図16(a)、(b)にその具体例を示す。同図(a)は断面構造を示す図であり、330はTFTによる画素マトリクスとドライバー回路とが形成された透明基板、331は対向電極が形成された透明基板、334はシール材、333は封入された液晶、335は実装基板、340は実装基板335の開口部、338は金、アルミ等の金属によるワイヤ、339は保護部材である。実装基板335において、透明基板330が配置される部分に凹部336を設けることは、ワイヤ338による接続強度を確保するうえで大変有効である。また、実装基板の一部または全部に遮光部材337を設け、透明基板331または透明基板330に画素マトリクスピネルの周囲を取り囲む様な形状に帯状に遮光部材332を設けることは、アクティブマトリクスピネルの表示装置としての外観を改善する意味で大変有効である。図16(b)は、同図(a)のアクティブマトリクスピネル及びその実装構造を平面図にて示したものである。341は画素マトリクスピネルを示し、点線342は実装基板335の開口部を示す。以上の様にすることによって、次の効果が生ずる。第一に、金属ワイヤ338に加わる応力が均等となるため、接続強度が向上する。第二に、本発明のアクティブマトリクスピネルを透過形表示装置として用い背面に光源を設置する場合、上述の

18

本発明の構造に依れば、画素マトリクスピネルの周辺から不要な光が洩れることが防止され、表示装置としての外観が向上する。

【0069】実施例の最後として、本発明の応用例を二つ挙げて説明する。

【0070】応用例の一つは、本発明のアクティブマトリクスピネルを用いて構成される、ビデオカメラ等の電子ビューファインダー(Electric View Finder; 以下、EVFと略記する)である。前述した様な多くの工夫を施すことによって、画素マトリクスピネルの周辺に相補型TFTによるドライバー回路を集積化する技術が確立され、小型、高精細、低消費電力でありかつ信頼性の高いアクティブマトリクスピネルを安価に得られるようになった結果、図17に示す様な構造のEVFが実現可能となっている。図17において、350は撮像装置、352は記録装置、351はビデオ信号処理回路で端子362には複合映像信号が得られる。353がEVFであり、該EVF353はクロマ回路、同期制御回路、液晶パネル駆動信号形成回路、電源回路、バックライト駆動回路を含む駆動回路部354と、バックライト用光源356と、反射板335と、拡散板357と、偏光板358及び360と、本発明のアクティブマトリクスピネル359と、レンズ361を具備して成る。以上の様にすることによって、従来のCRT(Cathode Ray Tube)を用いたEVFになかった次の様な効果がもたらされる。

【0071】(1) カラーフィルターを備えたアクティブマトリクスピネルを使用することによって、画素ピッチが $50\mu m$ 以下の極めて高精細なカラーEVFが実現される。しかも低消費電力化も促進される。

【0072】(2) 極めて小型・省スペースでしかも極めて軽量なEVFが実現される。

【0073】(3) EVFの形状の自由度が増大し、例えばフラットEVFの様な斬新な意匠が可能になる。

【0074】もう一つの応用例は、本発明のアクティブマトリクスピネルを液晶ライトバルブとして使用した投写型カラー表示装置である。

【0075】図18は、該投写型カラー表示装置の平面図である。ハロゲンランプ等の投写光源370から発した白色光は、放物ミラー371により集光され、熱線カットフィルター372により赤外域の熱線がカットされ、可視光のみがダイクロイックミラー系に入射する。まず、青色反射ダイクロイックミラー373により、青色光(おおむね $500[nm]$ 以下の波長の光)を反射し、他の光(黄色光)を透過する。反射した青色光は、反射ミラー374により方向を変え、青色変調液晶ライトバルブ378に入射する。

【0076】青色反射ダイクロイックミラー373を透過した光は、緑色反射ダイクロイックミラー375に入射し、緑色光(おおむね $500[nm]$ から $600[nm]$ の間の波長の光)を反射し、他の光である赤色

19

光(おおむね600[nm]以上の波長の光)を透過する。反射した緑色光は、緑色変調液晶ライトバルブ379に入射する。

【0077】緑色反射ダイクロイックミラー375を透過した赤色光は、反射ミラー376、377により方向を変え、赤色変調液晶バルブ380に入射する。

【0078】青色光、緑色光、赤色光は、それぞれ、青、緑、赤の原色信号で駆動された、本発明のアクティブラトリクスパネルによる液晶ライトバルブ378、379、380によって変調された後、ダイクロイックプリズム383によって合成される。ダイクロイックプリズム383は、青反射面381と赤反射面382とが互いに直交するように構成されている。こうして合成されたカラー画像は、投写レンズ384によってスクリーン上に拡大投写され表示される。以上の様にすることによって、従来のCRTによる投写管を用いた投写型カラー表示装置に無かった次の様な効果がもたらされる。

【0079】(1) 液晶ライトバルブを、CRTに比べてはるかに小型かつ高精細に形成することが出来るため前記投写レンズ384に口径の小さいものを使用することが許される。このため、投写型カラー表示装置の小型化、軽量化、低コスト化が実現される。

【0080】(2) 本発明のアクティブラトリクスパネルは高い開口率を有するため、小口径の投写レンズを用いても明るい表示を得ることが出来る。

【0081】(3) CRTによる投写管と異なり、前記ダイクロイックミラー及びダイクロイックプリズムによって赤、緑、青それぞれのライトバルブの光軸を完全に一致させ得るため、三色のレジストレーションが大変良好となる。

【0082】以上で本発明の実施例の説明を終える。

【0083】

【発明の効果】前述の課題を解決するための手段並びに実施例に対応させて本発明の効果を説明する。

【0084】まず、本発明を有効なものとする四つの基本技術がもたらす効果について説明する。

【0085】第一に、画素マトリクス部と同一の透明基板上に相補型TFTによるゲート線乃至ソース線のドライバ回路を集積化することによって以下の効果がもたらされる。

【0086】(1) 外付けドライバ集積回路を実装する際の接続ピッチによって、パネルの精細度が制限されることが無くなる。この結果、本発明を用いることによって、50μm下の画素ピッチを有する液晶パネルが実現可能となる。

【0087】(2) パネルを実装する実装基板の外形寸法が大幅に小型化され、本発明の液晶パネルを用いた表示装置の小型・薄形・軽量化が促進される。

【0088】(3) ドライバ集積回路を外付けする工程が不要となるため、本発明の液晶パネルを用いた表示

50

20

装置の低コスト化が促進される。

【0089】(4) ドライバ集積回路の外付けが不要となるため、本発明の液晶パネルを用いた表示装置の信頼性が向上する。

【0090】(5) 相補型TFTによってドライバ回路を形成することによって、液晶パネルが本来持っている低電力性との相乗効果が発揮され、表示装置全体の低電力化が実現される。これは、ビデオカメラのEVFや携帯形画像モニターへの応用を可能とするための重要な要素である。

【0091】第二に、相補型TFTを用い、尚且つ、シフトレジスタをスタティック形の回路構成とすることによって、低電力化のみならず動作電圧範囲及び動作周波数範囲を広げる効果をもたらす。TFTは図5に示される様なオフ電流の高い特性を有し、更に、オフ電流の温度特性も大きい。この様なTFTの欠点はシフトレジスタをスタティック形構成とすることによって補われ、動作電圧範囲及び動作周波数範囲が拡大される。

【0092】第三に、相補型TFTの構造において、第1の極性のTFTのソース・ドレイン領域に第1の極性の不純物を含み、第2の極性のTFTのソース・ドレイン領域に第1の極性の不純物とそれより高濃度の第2の極性の不純物を含む構造を採用することによって、従来の片極性のTFTの製造工程に単に1回のホト工程を追加することによって、安価に、画素マトリクスを含む相補型TFT集積回路が得られる。更に、特性の揃ったP型並びにN型TFTが得られる。

【0093】第四に、ドライバ回路を構成するTFTのゲート長を画素マトリクスを構成するTFTのそれよりも短かく形成することによって、ドライバ回路の動作速度を向上させ、尚且つ、各画素における書き込み、保持動作を最適状態に保つことが可能となる。

【0094】次に、本発明を更に有効なものとする七つの手段がもたらす効果について説明する。

【0095】第一に、各機能ブロックのパターンレイアウトを、図8、図9、図10(a)、(b)の様にすることによって、特にドライバ回路部の集積度が高められ、画素ピッチという限定されたピッチ内にドライバ回路の単位セルを作り込むことが可能になる。

【0096】第二に、ソース線ドライバ回路のクロック配線を図11(a)の様に配置することによって、ビデオ信号に混入するクロックノイズを除去し、画面に生ずるライン状の表示ムラを視認不可能なレベルに抑圧することが可能となる。

【0097】第三に、図12に示すサンブルホールド回路に接続される抵抗を全ソース線に亘って均一化することによって、全ソース線への表示信号の書き込みレベルを完全に均一にすることが可能となり、ライン状の表示ムラが除去される。

【0098】第四に、ソース線ドライバ回路を、図1

21

3 (a) の様に構成し、同図 (b) の様な方法で駆動することによって、周波数  $f$  のクロックで駆動される N 系列のシフトレジスタを用いて周波数  $2Nf$  でビデオ信号をサンプリングすることが可能となる。これによって、必ずしもオン電流の大きさが十分でない TFT を用いて高精細なドライバー回路内蔵アクティブマトリクスパネルが実現される。

【0099】第五に、図14の様にドライバー回路の各出力にテスト回路を設けることによって、従来テストパターンを表示した状態で目視にて行っていたアクティブマトリクスパネルの検査を、電気的にしかも自動で実施することが可能となる。

【0100】第六に、各画素に図15(a)、(b)の様な構造の保持容量を作り込むことによって、製造コストの上昇無しに、しかも、開口率をほとんど減少させること無しに、各画素における電荷の保持をより確実なものとすることが可能となる。

【0101】第七に、実装構造を、図16(a)、(b)の様なものとすることによって、接続強度及び信頼性を向上させ得るのみならず、本発明のアクティブマトリクスパネルにバックライト装置を併用して透過形表示装置を構成する場合に画素マトリクス部周辺から不要光が洩れることを防止出来る。

【0102】最後に、本発明を特定の表示システムに応用することによって得られる効果について述べる。

【0103】第一に、本発明をビデオカメラのEVFに応用することによって、従来のCRTを用いたEVFに無かった以下の効果がもたらされる。

【0104】(1) カラーフィルターを備えたアクティブマトリクスパネルを使用することによって、画素ピッチが  $50 \mu\text{m}$  以下の極めて高精細なカラーEVFが実現される。しかも低消費電力化も促進される。

【0105】(2) 極めて小型・省スペースでしかも極めて軽量なEVFが実現される。

【0106】(3) EVFの形状の自由度が増大し、例えばフラットEVFの様な斬新な意匠が可能になる。

【0107】第二に、本発明を投写型カラー表示装置に応用することによって、従来のCRTを用いたものに無かった以下の効果がもたらされる。

【0108】(1) 液晶ライトバルブを、CRTに比べてはるかに小型かつ高精細に形成することが出来るため投写レンズに口径の小さいものを使用することが許される。

【0109】このため、投写型カラー表示装置の小型化、軽量化、低コスト化が実現される。

22

【0110】(2) 本発明のアクティブマトリクスパネルは高い開口率を有するため、小口径の投写レンズを用いても明るい表示を得ることが出来る。

【0111】(3) CRTによる投写管と異なり、前記ダイクロイックミラー及びダイクロイックプリズムによって赤、緑、青それぞれのライトバルブの光軸を完全に一致させ得るため、三色のレジストレーションが大変良好となる。

#### 【図面の簡単な説明】

10 【図1】本発明の実施例、即ち、周辺にドライバー回路を集積化したアクティブマトリクスパネルを示した図。

【図2】(a)～(f)は、図1におけるドライバー回路の詳細な構成例を示した図。

【図3】(a)、(b)は、本発明のアクティブマトリクスパネルの断面構造を例示した図。

【図4】(a)～(d)は、本発明のアクティブマトリクスパネルの製造方法を例示した図。

【図5】本発明に関わるTFTの特性例を単結晶シリコンMOSFETのそれと比較して示した図。

20 【図6】本明細書中におけるゲート長、ゲート幅の定義を示した図。

【図7】本明細書中における空乏層幅、シリコン薄膜の膜厚の定義を示した図。

【図8】(a)、(b)は、本発明を更に有効なものとする第一の手段を説明するための図。

【図9】(a)、(b)は、本発明を更に有効なものとする第一の手段を説明するための図。

【図10】(a)、(b)は、本発明を更に有効なものとする第一の手段を説明するための図。

30 【図11】(a)、(b)は、本発明を更に有効なものとする第二の手段を説明するための図。

【図12】本発明を更に有効なものとする第三の手段を説明するための図。

【図13】(a)、(b)は、本発明を更に有効なものとする第四の手段を説明するための図。

【図14】本発明を更に有効なものとする第五の手段を説明するための図。

【図15】(a)、(b)は、本発明を更に有効なものとする第六の手段を説明するための図。

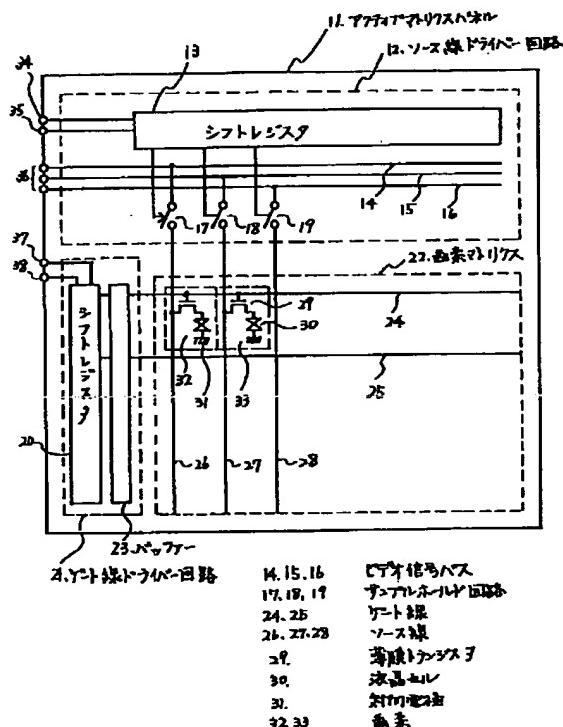
40 【図16】(a)、(b)は、本発明を更に有効なものとする第七の手段を説明するための図。

【図17】本発明の第一の応用例を示した図。

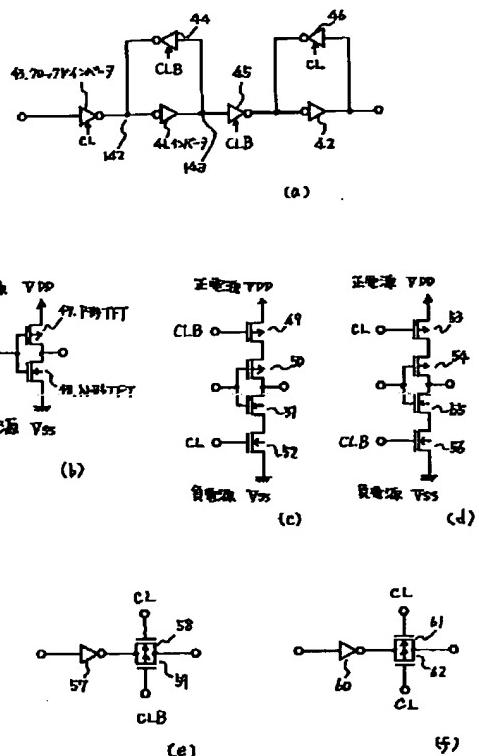
【図18】本発明の第二の応用例を示した図。

【図19】従来技術を説明するための図。

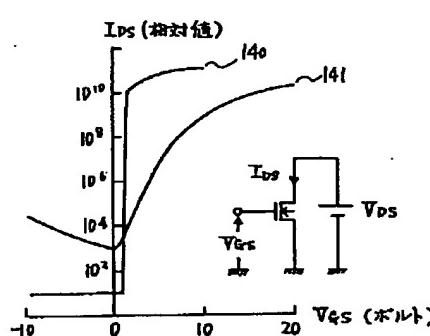
【図1】



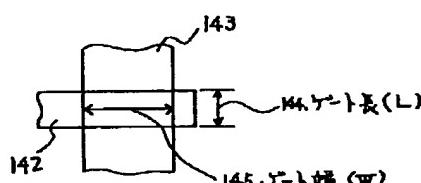
【图2】



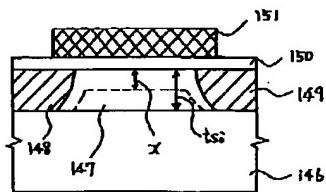
【図5】



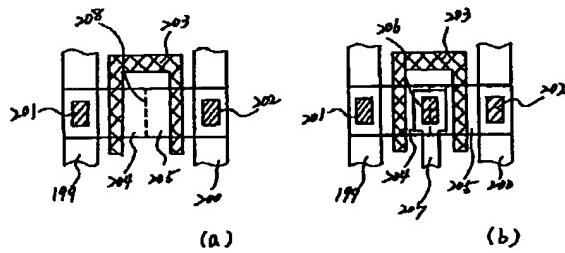
【图6】



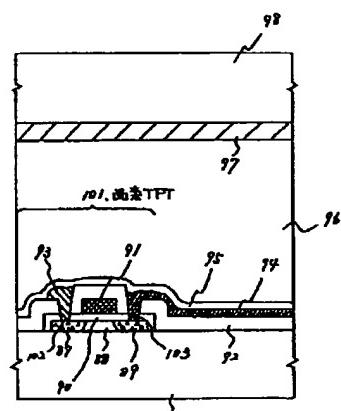
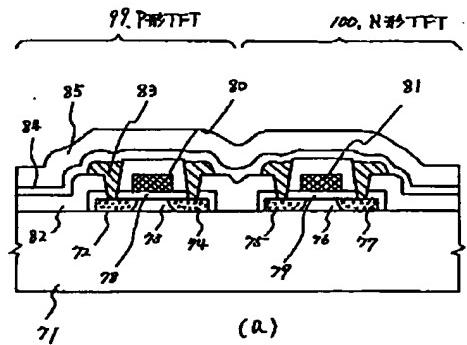
【図7】



【図10】

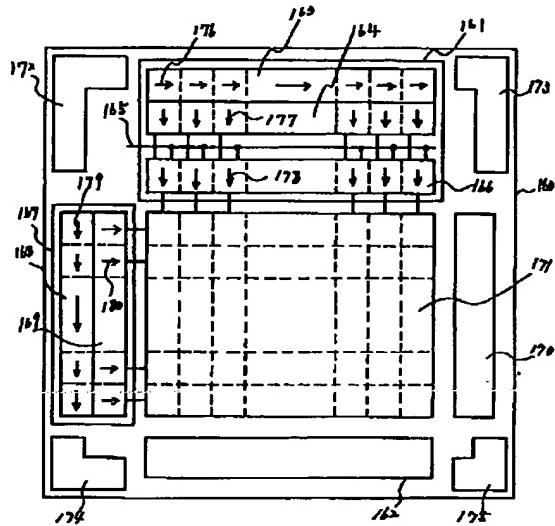


【図3】

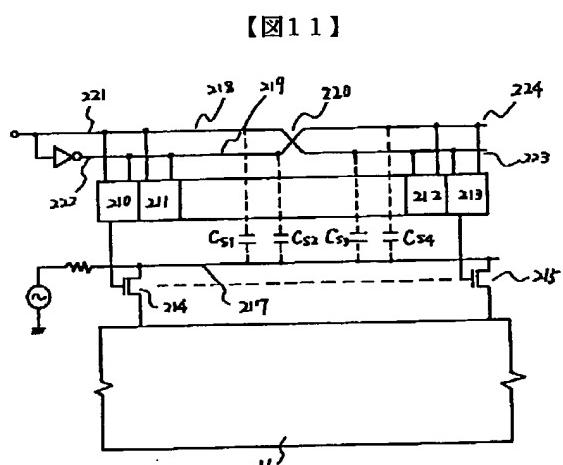
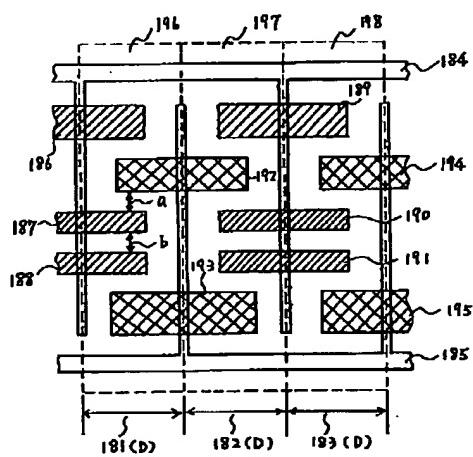


(b)

【図8】



【図9】



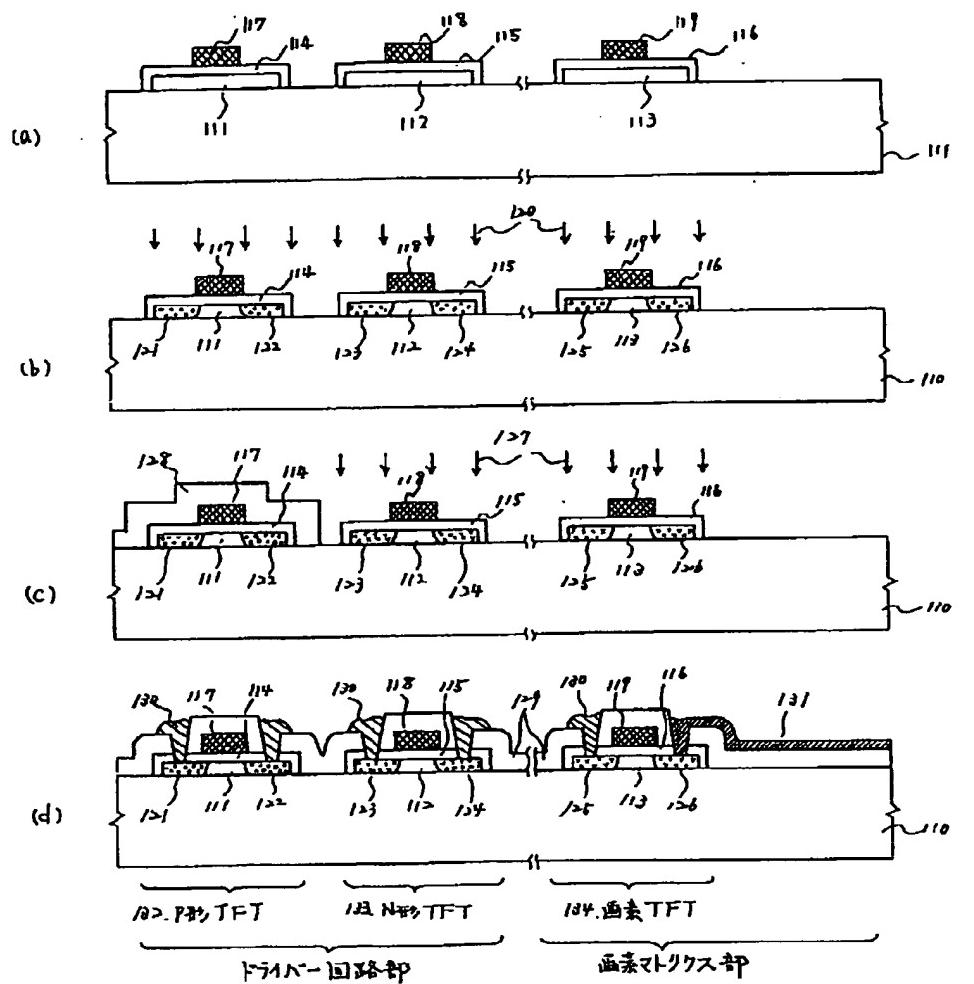
(b)

CL      CLB

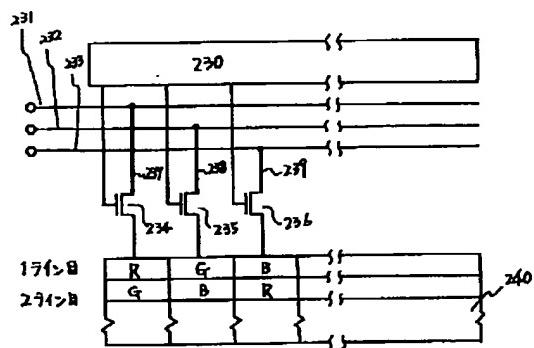
The diagram shows two timing waveforms. The first waveform, labeled CL, has a high level followed by a low level. The second waveform, labeled CLB, has a low level followed by a high level.

(b)

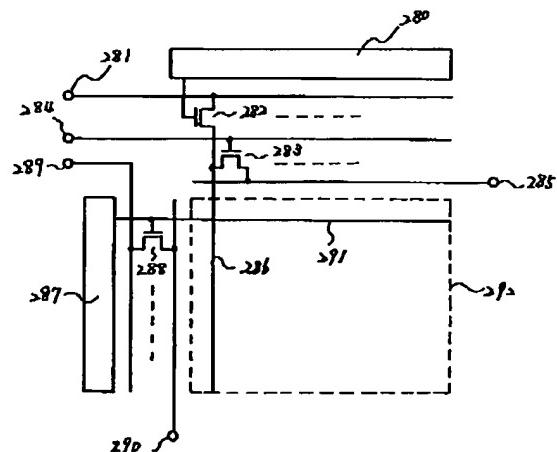
【図4】



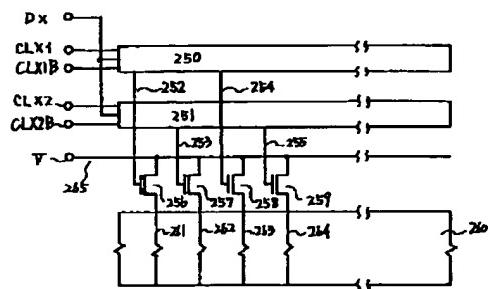
【图12】



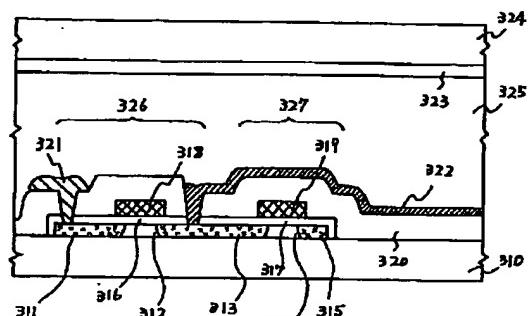
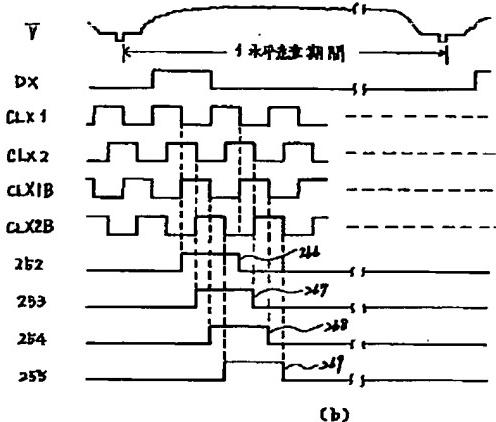
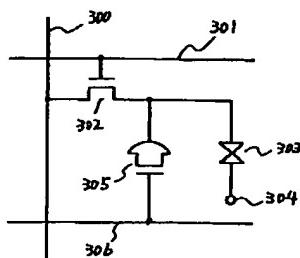
【图14】



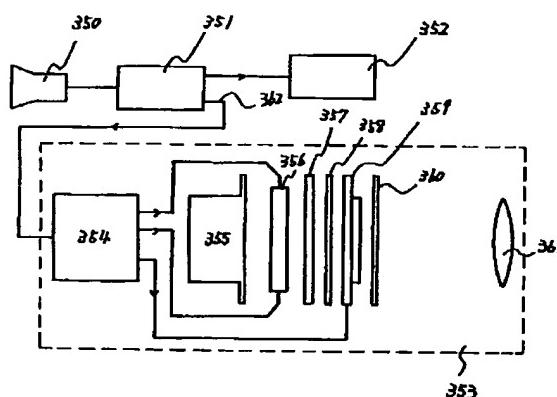
【図13】



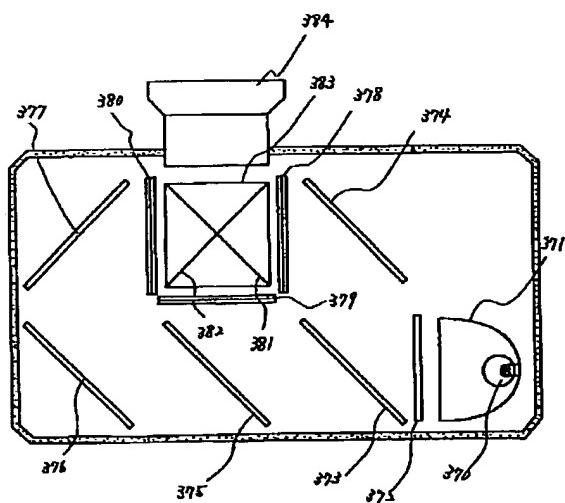
【図15】



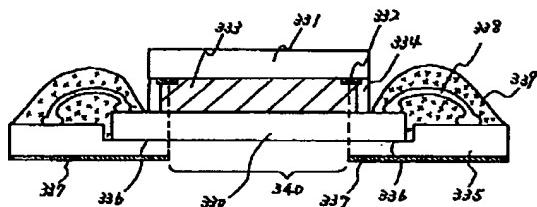
【図17】



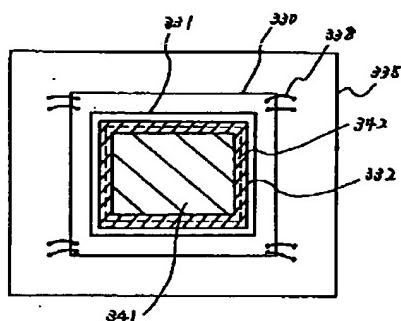
【図18】



【図16】

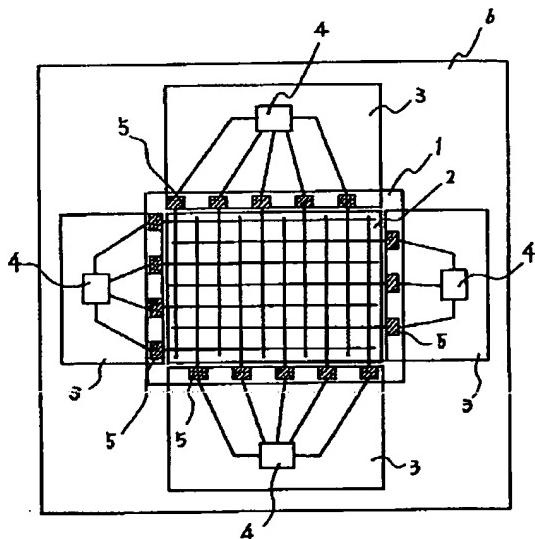


(a)



(b)

【図19】



## 【手続補正書】

【提出日】平成10年12月24日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

## 【補正方法】変更

## 【補正内容】

【発明の名称】投写型表示装置

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

## 【補正方法】変更

## 【補正内容】

## 【特許請求の範囲】

【請求項1】 アクティブマトリクスパネルと、前記アクティブマトリクスパネルにより変調された光を投写する投写光学手段とを有する投写型表示装置において、前記アクティブマトリクスパネルは、基板に複数のゲート線及び複数のソース線と、前記各ゲート線及び前記各ソース線に接続された第1導電型の第1トランジスタを有する画素マトリクスと、前記ソース線に信号を供給するソース線ドライバ回路とが配置されてなり、前記ソース線ドライバ回路はシフトレジスタと、前記

シフトレジスタの出力により制御され、データ信号をサンプリングして前記複数のソース線に供給する複数のサンプリング手段とを有し、

前記シフトレジスタは第1導電型の第2トランジスタ及び第2導電型の第3トランジスタを有し、

前記サンプリング手段は第1導電型の第4トランジスタを有し、

前記第1トランジスタのゲート長は、前記第2トランジスタのゲート長よりも長く、前記第2トランジスタのゲート長は前記第4トランジスタのゲート長よりも長いことを特徴とする投写型表示装置。

【請求項2】 前記第1及び第2及び第3トランジスタは多結晶シリコン薄膜トランジスタからなることを特徴とする請求項1記載の投写型表示装置。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

## 【補正方法】変更

## 【補正内容】

## 【0001】

【発明の属する技術分野】本発明はアクティブマトリクスパネルを有する投写型表示装置に関する。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

## 【補正内容】

【0010】本発明は、アクティブマトリクスパネルと、前記アクティブマトリクスパネルにより変調された光を投写する投写光学手段とを有する投写型表示装置において、前記アクティブマトリクスパネルは、基板に複数のゲート線及び複数のソース線と、前記各ゲート線及び前記各ソース線に接続された第1導電型の第1トランジスタを有する画素マトリクスと、前記ソース線に信号を供給するソース線ドライバ回路とが配置されてなり、前記ソース線ドライバ回路はシフトレジスタと、前記シフトレジスタの出力により制御され、データ信号をサンプリングして前記複数のソース線に供給する複数のサンプリング手段とを有し、前記シフトレジスタは第1導電型の第2トランジスタ及び第2導電型の第3トランジスタを有し、前記サンプリング手段は第1導電型の第4トランジスタを有し、前記第1トランジスタのゲート長は、前記第2トランジスタのゲート長よりも長く、前記第2トランジスタのゲート長は前記第4トランジスタのゲート長よりも長いことを特徴とする。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】削除

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】削除

## 【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】削除

## 【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】削除

## 【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】削除

## 【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0083

【補正方法】変更

## 【補正内容】

【0083】前述の課題を解決するための手段並びに実施例に対応させてそれぞれの効果を説明する。

## 【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0111

【補正方法】変更

## 【補正内容】

【0111】(3) CRTによる投写管と異なり、前記ダイクロイックミラー及びダイクロイックプリズムによって赤、緑、青それぞれのライトバルブの光軸を完全に一致させ得るため、三色のレジストレーションに大変良好となる。

【発明の効果】以上述べた如く、本発明によれば、画素マトリクスの第1導電型のトランジスタのゲート長を、サンプリング手段の第1導電型のトランジスタのゲート長よりも長くすることにより、画素マトリクスの第1導電型のトランジスタのリーク電流を抑えてクロストークのない鮮明な画像を実現するとともにサンプリング手段の高速化を実現することができる。また、サンプリング手段の第1導電型のトランジスタはシフトレジスタの第1導電型のトランジスタよりも低耐圧でよいため、サンプリング手段のトランジスタはシフトレジスタのトランジスタよりもゲート長を短く形成することができる。